

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-214311

(43)Date of publication of application : 04.12.1984

(51)Int.Cl.

H03F 3/345

H01L 27/08

H03F 3/45

(21)Application number : 58-088402

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 18.05.1983

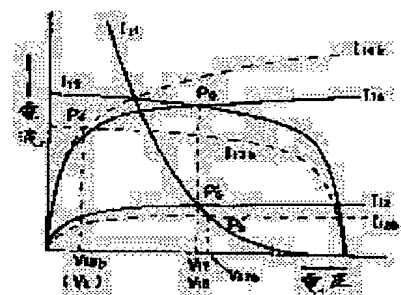
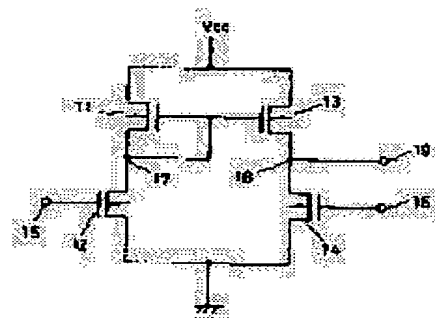
(72)Inventor : ANAMI KENJI

(54) INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To reduce the current flowing through one of the 1st and the 2nd inverters of a device and to save electric power by making both inverters different in conductance.

CONSTITUTION: Input terminals 15 and 16 are in complementary relation and the conductance ratio of a PchFET11 and an NchFET12 is equal to that of a PchFET13 and an NchFET14. The conductance ratio of the PchFET11 and PchFET 13 and that of the NchFET12 and NchFET14 are in 1:k proportion, and the conductance of the 1st inverter and that of the 2nd inverter are in 1:k proportion. When complementary inputs are applied to the input terminals 15 and 16, the current curves of the FETs 12, 13, and 14 vary from I_{12} to I_{12b} , from I_{13} to I_{13b} , and from I_{14} to I_{14b} , and intersections shift from P_0' to P_3' and from P_0 to P_4 , so that a low voltage $V_{18b}(V_L)$ corresponding to P_4 is developed at the output terminal 19 of the 2nd inverter.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報 (A)

昭59—214311

⑤ Int. Cl.³
H 03 F 3/345
H 01 L 27/08
H 03 F 3/45

識別記号

庁内整理番号
6628—5 J
6655—5 F
6628—5 J

④ 公開 昭和59年(1984)12月4日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 集積回路装置

機株式会社エル・エス・アイ研
究所内

① 特 願 昭58—88402

⑦ 出 願 人 三菱電機株式会社

② 出 願 昭58(1983)5月18日

東京都千代田区丸の内2丁目2
番3号

③ 発 明 者 穴見健治

伊丹市瑞原4丁目1番地三菱電

⑧ 代 理 人 弁理士 大岩増雄 外2名

明 細 書

1. 発明の名称

集積回路装置

2. 特許請求の範囲

(1) ソースを電源にゲートとドレインを第1の節点にそれぞれ接続した第1のPチャネルFETと、ドレインを第1の節点にゲートを第1の入力端子にそれぞれ接続しソースを接地した第1のNチャネルFETとにより第1のインバータを形成し、ソースを電源にゲートを第1の節点にドレインを第2の節点に接続した第2のPチャネルFETと、ドレインを第2の節点にゲートを第2の入力端子にそれぞれ接続しソースを接地した第2のNチャネルFETとにより第2のインバータを形成し、これら2つのインバータによつて構成されたカレントミラー形CMOS増幅回路として作用する集積回路装置において、上記各インバータのコンダクタンスが異なることを特徴とする集積回路装置。

(2) 第1のPチャネルFETのコンダクタンスが第2のPチャネルFETのコンダクタンスより小

さく、第1のNチャネルFETのコンダクタンスが第2のNチャネルFETのコンダクタンスより小さいことを特徴とする特許請求の範囲第1項記載の集積回路装置。

(3) 第1のPチャネルFETのコンダクタンスと第2のPチャネルFETのコンダクタンスの比と、第1のNチャネルFETのコンダクタンスと第2のNチャネルFETのコンダクタンスの比とが等しく設定されていることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明はカレントミラー形CMOS増幅回路として作用する集積回路装置に関する。

〔従来技術〕

従来、この種の装置として第1図に示すものがあつた。図において、(1)はPchFET (Pチャネル電界効果トランジスタ)、(2)はNchFET (Nチャネル電界効果トランジスタ)であつて、これらで第1のインバータを構成している。(3)はPch

FET、(4)はNchFETであつて、これらで第2のインバータを構成している。(5)、(6)はNchFET(2)、(4)のゲートに接続された入力端子、(7)、(8)は第1、第2の節点、(9)は出力端子である。

上記構成において、入力端子(5)、(6)はお互いに相補的な関係におかれ、又PchFET(1)と(3)及びNchFET(2)と(4)は各々コンダクタンスが等しくなるように設定しており、これらでカレントミラー形CMOS増幅回路を構成している。

次に第1図の動作について第2図、第3図を用いて説明する。第2図において入力端子(5)、(6)の電圧 V_s 、 V_e が V_r のとき、NchFET(2)の電流特性は I_2 で示す曲線となる。又PchFET(1)の電流特性はドレインとゲートを短絡しているため I_1 で示す曲線となる。この I_2 と I_1 の曲線の交点 P_0 が第1のインバータの出力電圧 V_r となる。一方、第2のインバータのコンダクタンスは第1のインバータと同様に設定され、PchFET(3)のゲートは第1の節点(7)に接続されているので、PchFET(3)の電流特性は I_3 、NchFET(4)の

電流特性は I_4 のような曲線になり、第2のインバータの出力電圧 V_8 は I_3 と I_4 の曲線の交点 P_0 となり、第1のインバータの出力電圧と同じになる。

ここで入力端子(5)、(6)に相補的な入力($V_{5a} = V_r + \Delta V_r$)、($V_{6a} = V_r - \Delta V_r$)が各々印加されると、曲線は $I_2 \rightarrow I_{2a}$ 、 $I_3 \rightarrow I_{3a}$ 、 $I_4 \rightarrow I_{4a}$ となり、これらの曲線の交点は P_0 から P_1 及び P_2 に移り、第2のインバータの出力電圧 V_{8a} は P_2 に対応した高電圧 V_H になる。

次に第3図において入力端子(5)、(6)に相補的な入力($V_{5b} = V_r - \Delta V_r$)、($V_{6b} = V_r + \Delta V_r$)が各々印加されると、曲線は $I_2 \rightarrow I_{2b}$ 、 $I_3 \rightarrow I_{3b}$ 、 $I_4 \rightarrow I_{4b}$ となり、これらの曲線の交点は P_3 、 P_4 に移り、第2のインバータの出力電圧 V_{8b} は P_4 に対応した低電圧 V_L になる。

このように入力振幅 $2\Delta V_r$ は $V_H - V_L$ に増幅される。即ち、第1のインバータと第2のインバータに同じ大きさの電流が流れることになり、いわゆる「カレントミラー」と呼ばれる所以である。

しかしながら、従来のこのような装置では、第1のインバータと第2のインバータに同じ大きさの電流が流れるため、消費電流が大きいという欠点があつた。

[発明の概要]

本発明はこのような従来の欠点に鑑みてなされたもので、装置の消費電流を減少させるため、第1のインバータと第2のインバータのコンダクタンスを異なるようにしたものである。

[発明の実施例]

第4図は本発明の一実施例を示すカレントミラー形CMOS増幅回路の回路図である。

図において、(11)は第1のPchFET、(12)は第1のNchFETであつて、これらで第1のインバータを構成している。(13)は第2のPchFET、(14)は第2のNchFETであつて、これらで第2のインバータを構成している。(15)、(16)はNchFET(12)、(14)のゲートに接続された第1及び第2の入力端子、(17)、(18)は第1、第2の節点、(19)は出力端子である。

上記構成において、入力端子(15)、(16)はお互いに相補的な関係におかれ、又PchFET(11)とNchFET(12)のコンダクタンス比はPchFET(13)とNchFET(14)のコンダクタンスの比に等しく設定してある。又、PchFET(11)とPchFET(13)のコンダクタンスの比及びNchFET(12)とNchFET(14)のコンダクタンスの比は $1:k$ に設定して、第1のインバータと第2のインバータのコンダクタンスを $1:k$ にしている。なお、第2のインバータの各FETのコンダクタンスは従来と同じである。

上記構成の動作について、第5図、第6図を用いて説明する。入力端子(15)、(16)の電圧が共に V_r のときNchFET(12)の特性は第1図に示した回路のものに比べてコンダクタンスが $1/k$ なので、第5図、第6図に示す I_{12} の電流曲線となる。一方、負荷のPchFET(11)の電流特性もドレインとゲートを短絡してあり、同じく第1図に示した回路のものに比べコンダクタンスを $1/k$ に設定してあるので、 I_{11} に示す電流曲線

となる。したがって両電流曲線の交点 P_0' が第1のインバータの出力電圧 V_{17} となる。

すなわち、第1のインバータの出力電圧としては従来の回路と全く同じ電圧を得ることができる ($V_{17} = V_7$)。又第1のインバータの出力電圧は第2のインバータの負荷である第2の PchFET (13) のゲートに印加され、PchFET (13) と NchFET (14) の電流特性曲線は I_{13} と I_{14} で示すように従来と同様であり、その交点 P_0 の出力電圧 V_{18} も変化しない ($V_{18} = V_8$)。

次に、入力端子 (15), (16) に相補的な入力 ($V_r + \Delta V_r$), ($V_r - \Delta V_r$) が各々印加されると、曲線は $I_{12} \rightarrow I_{12a}$, $I_{13} \rightarrow I_{13a}$, $I_{14} \rightarrow I_{14a}$ に変化して、交点は $P_0' \rightarrow P_1'$, $P_0 \rightarrow P_2$ に移行し、第2のインバータの出力端子 (19) に P_2 に対応した高電圧 V_{18a} (V_H) が出力される。

ここで重要なことは、第2図に示す P_1 の電圧 V_{12} と本発明の装置の P_1' の電圧 V_{17a} が全く等しく、したがって負荷となる PchFET (1), (11) のゲートに同じ電圧を印加された第2のインバー

タの出力は、共に同じ電圧 V_H を発生していることである。

次に、入力端子 (15), (16) に相補的な入力 ($V_r - \Delta V_r$), ($V_r + \Delta V_r$) が印加されたとき、曲線は $I_{12} \rightarrow I_{12b}$, $I_{13} \rightarrow I_{13b}$, $I_{14} \rightarrow I_{14b}$ に変化して交点は $P_0' \rightarrow P_3'$, $P_0 \rightarrow P_4$ に移行し、第2のインバータの出力端子 (19) に P_4 に対応した低電圧 V_{18b} (V_L) が出力される。

以上のように従来装置の NchFET (1) と (3) 及び (2) と (4) のコンダクタンスを等しくすることなしに、従来と全く同一の機能を得ることが可能であり、第1のインバータのコンダクタンスを第2のインバータのコンダクタンスより小さくすれば、消費電流を低減することが可能である。

なお、上記実施例における PchFET, NchFET は入力インピーダンスが高い FET デバイスであれば MOS 形等 いずれであつてもよい。

〔発明の効果〕

以上説明したように本発明によれば、第1のインバータと第2のインバータのコンダクタンスを

異なるようにしたので、一方のインバータに流れる電流を低減することができ、消費電力を減少できる効果がある。

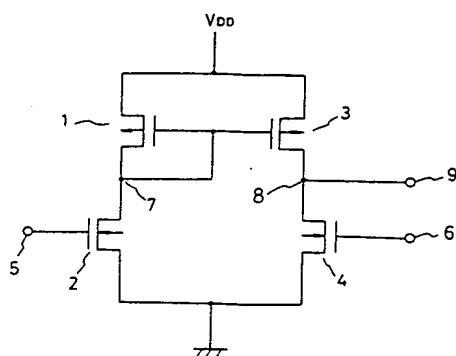
4. 図面の簡単な説明

第1図は従来装置の回路図、第2図、第3図は従来装置の特性図、第4図は本発明の一実施例による回路図、第5図、第6図は本発明の装置の特性図である。

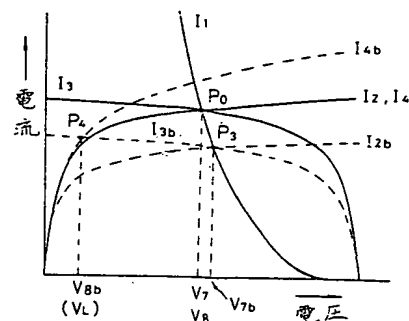
(11), (13) PchFET、(12), (14) NchFET、(15), (16) 入力端子、(17) 第1の節点、(18) 第2の節点、(19) 出力端子。

代理人 大 岩 増 雄

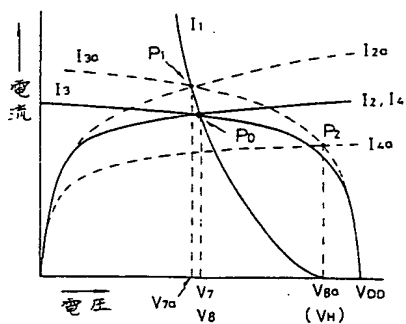
第 1 図



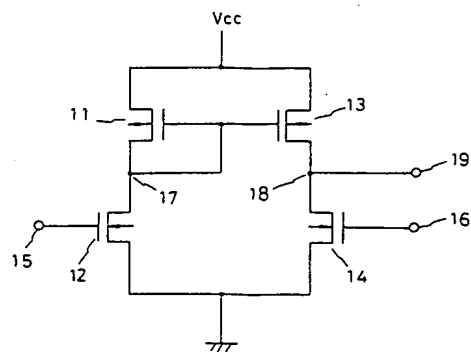
第 3 図



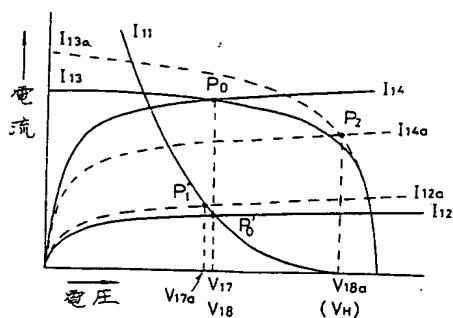
第 2 図



第 4 図



第 5 図



第 6 図

